



DE 19930120



INVESTOR IN PEOPLE

PN - DE19930120 A 20010111

TI - Multiprocessor-trace concept for system-on-semiconductor chip applications

AB - A method of retracing data states and instructions in an arrangement, in which a semiconductor chip (SoC) has several processes (1..n), as a result of which, the data (data1..datam) and the instructions (ProC1 to ProCn) of the several processes are each provided with an identification characterising their respective source and in the sequence, as they occur, are written into a FIFO store. The store can then be read via an interface (TI). The data associated with the same time-period, and the instructions of a respective processor are stored in a respective trace telegram.

EC - G06F11/34T ; G06F11/34T12

ICO - S06F11/34T6 ; S06F201/234 ; S06F201/294 ; S06F201/511

PA - SIEMENS AG (DE)

IN - AMANDI DIRK (DE); WINTER ROBERT (DE); GLAESER WINFRIED (DE); MIRCESCU ALEXANDER (DE)

CT - EP0316609 A2 []; NC57014635 A[]

AP - DE19991030120 19990630

PR - DE19991030120 19990630

DT - *

© WPI / DERWENT

AN - 2001-081833 [10]

TI - Multiprocessor-trace concept for system-on-semiconductor chip applications - having process instructions each provided with identification characterising their respective source

AB - DE19930120 A method of retracing data states and instructions in an arrangement, in which a semiconductor chip (SoC) has several processes (1..n), as a result of which, the data (data1..datam) and the instructions (ProC1 to ProCn) of the several processes are each provided with an identification characterising their respective source and in the sequence, as they occur, are written into a FIFO store. The store can then be read via an interface (TI).

- The data associated with the same time-period, and the instructions of a respective processor are stored in a respective trace telegram.

- USE - Chip architectures (SOC) e.g. several processors on one chip; RAMs and complex HW control logic.

- ADVANTAGE - Concept for tracing several processors which are arranged on semiconductor chip.

- (Dwg.1/2)

IW - MULTIPROCESSOR TRACE CONCEPT SYSTEM SEMICONDUCTOR CHIP APPLY PROCESS INSTRUCTION IDENTIFY CHARACTERISTIC RESPECTIVE SOURCE

PN - DE19930120 A1 20010111 DW200110 G06F11/30 005pp

IC - G06F11/30

MC - T01-F02C T01-G05C T01-H07C7 T01-M02

DC - T01

PA - (SIEI) SIEMENS AG

IN - AMANDI D; GLAESER W; MIRCESCU A; WINTER R

AP - DE19991030120 19990630

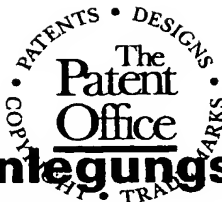
PR - DE19991030120 19990630



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT



12 Offenlegungsschrift
10 DE 199 30 120 A 1



51 Int. Cl. INVESTOR IN PEOPLE
G 06 F 11/30

21 Aktenzeichen: 199 30 120.4
22 Anmeldetag: 30. 6. 1999
43 Offenlegungstag: 11. 1. 2001

DE 199 30 120 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Gläser, Winfried, Dipl.-Ing., 85570 Markt Schwaben, DE; Amandi, Dirk, Dipl.-Phys., 81477 München, DE; Mircescu, Alexander, Dr.-Ing. Dr., 81379 München, DE; Winter, Robert, Dipl.-Inform. (FH), 81369 München, DE

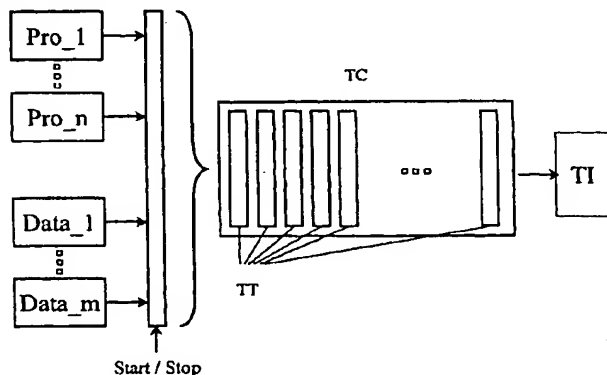
56 Entgegenhaltungen:
EP 03 16 609 A2
J05-7 014 63 53a A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Multiprozessor-Tracekonzept für System on Chip Anwendungen

57 Es wird ein Multiprozessor-Tracekonzept vorgeschlagen, bei dem die Instruktionen und Daten mehrerer Prozessoren, die in einer System on Chip Anordnung auf einem Halbleiterchip angeordnet sind, nachverfolgt werden können.



DE 199 30 120 A 1



1
Beschreibung

Der Anmeldungsgegenstand betrifft ein Verfahren zur Nachverfolgung von Datenzuständen und Instruktionen in einer Anordnung, in der ein Halbleiterchip mehrere Prozessoren aufweist.

Sind mehrere Prozessoren auf einem Chip untergebracht und miteinander vernetzt, kommt es zu einer logischen und zeitlichen Kopplung der Prozessoren. Diese Tatsache verlangt nach Testmöglichkeiten, die eine ganzheitliche, die Wechselwirkung der Prozessoren untereinander berücksichtigende Betrachtung ermöglichen.

Bei System on Chip Architekturen (SoC) sind verschiedene Komponenten, z. B. Mikroprozessoren, RAMs und komplexe HW Control Logik auf einem Chip untergebracht. Um ein SoC Design zu testen, ist es unabdingbar in den Chip "hineinschauen" zu können, d. h. interne Datenströme aufzuzeichnen.

Um den Testanforderungen zu genügen, müssen im allgemeinen die Datenströme der einzelnen Komponenten parallel getracet werden können. Insbesondere wenn mehrere Prozessoren auf einem Chip integriert sind, ergibt sich die Testanforderung, den Programmablauf (Software) in den Prozessoren parallel beobachten zu können.

Derzeit ist keine Multiprozessor Trace Lösung bekannt. Die aktuellen Prozessorarchitekturen sehen nur einen Single Prozessor Trace vor, d. h. es kann entsprechend dem Standard wahlweise immer ein Prozessor der Multiprozessor Plattform getracet werden.

Dem Anmeldungsgegenstand liegt das Problem zugrunde, ein Konzept zum Tracen von mehreren Prozessoren, die auf einem Halbleiterchip angeordnet sind, anzugeben.

Das Problem wird durch die Merkmale des Anspruchs 1 gelöst.

Der Anmeldungsgegenstand bietet ein Multiprozessor-Tracekonzept, das in einer Multiprozessor-Anordnung die Herausführung von Inhalten der Program Counter als auch der Dateninhalte aufweist.

Der Anmeldungsgegenstand erfüllt die Testanforderung, wonach in mehreren Prozessoren die in den jeweiligen Prozessoren verarbeiteten Daten (Prozessor Bus) und auch weitere Daten der verarbeitenden HW Logik nachverfolgbar sind.

Der Anmeldungsgegenstand stellt beim Tracing von Instruktionen und Dateninhalten verschiedener System on Chip Komponenten einen zeitlichen Bezug zwischen den betrachteten Tracequellen her.

Die Verwendung einer einzigen Tracesteuerung für mehrere Prozessoren auf dem Chip mit Speicherszugriffen nach dem FIFO-Prinzip ist nicht mit einem Synchronisationsmechanismus und damit auch nicht mit einer Interprozessorkommunikation verbunden, so daß der Implementierungsaufwand für diese genannten Mechanismen entfällt.

In einer besonderen Ausführungsform wird der Inhalt eines Program Counters über eine standardisierte EJTAG-Schnittstelle herausgeführt.

Vorteilhafte Weiterbildungen des Anmeldungsgegenstandes sind in den Unteransprüchen angegeben.

Der Anmeldungsgegenstand wird im folgenden als Ausführungsbeispiel in einem zum Verständnis erforderlichen Umfang anhand von Figuren näher erläutert. Dabei zeigen:

Fig. 1 das anmeldungsgemäße Multiprozessor-Tracekonzept und

Fig. 2 das anmeldungsgemäße Multiprozessor-Tracekonzept in einer System on Chip Anordnung.

In den Figuren bezeichnen gleiche Bezeichnungen gleiche Elemente.

Unter Tracen wird die Abfrage des Datenzustandes an ei-

2

bestimmten Abfragestelle TAP (für: Trace access point) zur Auswertung des Datenzustandes verstanden.

Der Anmeldungsgegenstand bezieht sich auf ein System on Chip Anordnung SoC, in der verschiedene Komponenten, z. B. Mikroprozessoren, RAMs und komplexe HW (Hardware) Control Logik auf einem Chip angeordnet sind. Fig. 1 zeigt ein anmeldungsgemäßes Multiprozessor-Tracekonzept, bei dem Instruktionen (Pro_1 bis Pro_n) von n verschiedenen Prozessoren und Dateninhalte (Dat_1 bis Dat_m) von m unterschiedlichen Prozessoren ($m \leq n$) herausführbar sind.

Gemäß einer ersten Ausgestaltung werden die Informationen der Tracequellen der zeitlichen Reihenfolge ihrer Entstehung entsprechend in einzelne Telegramme TT zusammengefaßt, die nacheinander zur Tracesteuerung TC (für: Trace Control) übertragen werden und dort nach dem FIFO-Prinzip gespeichert werden. Dabei wird jede Quelle (Pro_1 bis Dat_m) durch ein Tracetelegramm TT repräsentiert; bei dieser Methode werden die Informationen mit der Frequenz $f_1 = (n+m)f_{\text{Proz}}$ von der Tracesteuerung zum Traceinterface TI übertragen, siehe auch Fig. 1 (f_{Proz} entspricht der Prozessorbusfrequenz, die im einfachsten Fall gleich der Program Counter Frequenz ist).

In einer anderen Ausgestaltung sind die Instruktionsinformationen ProC_1...ProC_n (Program Counter) der n Prozessoren (Proz. 1...Proz. n) zu einem ersten Telegramm und die Dateninhaltsinformationen Data_1...Data_n (Datenwerte, Adressen, Controlsignale) der m Prozessoren zu einem zweiten Telegramm zusammenfaßbar. Diese Methode hat den Nachteil, daß n parallele Leitungen zwischen der Tracesteuerung und dem Traceinterface zur Verfügung gestellt werden müssen; sie weist jedoch den Vorteil auf, daß die Informationen nur mit der Frequenz $f_2 = 2f_{\text{Proz}}$ übertragen werden müssen, siehe Fig. 2.

Ganz allgemein ist das Produkt $P = If$ aus der Anzahl I der parallelen Leitungen zwischen Tracesteuerung und Traceinterface und der Frequenz f, mit der diese Daten übertragen werden, konstant.

Die Jumps and Branches Program Counter werden parallel in einem Zeitschlitz an das Trace-Interface TI gesendet. Das Wiederherstellen des Programmablaufs wird in der externen Nachverarbeitungs Software gemacht (Program Counter Recovery). Zusätzlich werden gemäß des oben zitierten Verfahrens die Daten/Address Busse der Prozessoren über das Trace interface TI übertragen. In der Nachverarbeitung sind dem Multiprozessor Programmablauf die entsprechenden Daten zuordenbar.

Dadurch, daß jede Tracequelle eine eigene Kennung (Source identifier) besitzt, die im Tracetelegramm codiert wird, ist eine nachträgliche Identifizierung der jeweiligen Quelle in der Analysephase, außerhalb des Chips durchgeföhrt, möglich.

Die Speicherung der Tracetelegramme nach dem FIFO-Prinzip garantiert, daß die relative zeitliche Reihenfolge der aufgetretenen Ereignisse nicht verändert und damit nicht verfälscht wird.

Da für die Auswertung der Traceergebnisse die relative zeitliche Ordnung der Traceinformationen ausreichend ist, kann auf eine Vergabe von Zeitstempeln in den Telegrammen verzichtet werden. Die Verwendung einer einzigen Tracesteuerung auf dem Chip mit Speicherszugriffen nach dem FIFO-Prinzip ist demnach nicht mit einem Synchronisationsmechanismus und damit auch nicht mit einer Interprozessorkommunikation verbunden, so daß der Implementierungsaufwand für diese genannten Mechanismen entfallen kann. Würden hingegen beispielsweise 2 Tracesteuerungen eingesetzt, so daß eine Prozessorgruppe die erste und die übrige Gruppe die zweite Tracesteuerung verwendeten,



3 müßte für eine Synchronisation der Tracesteuerungen gesorgt werden, damit deren Informationen miteinander zeitlich verglichen werden könnten.

Durch die "Start/Stop"-Einrichtung (siehe auch Fig. 1) ist eine Selektion und Aktivierung/Deaktivierung unterschiedlicher Tracequellen vornehmbar. Die Daten Data und Instruktionen einer Abfragestelle werden bei bestimmten Systemparametern einschaltet oder ausschaltet (beispielsweise schaltet die "Start/Stop"-Einrichtung ein, wenn Fehlerbedingung erfüllt).

Nachdem die Instruktionsinformationen (Program Counter der unterschiedlichen Prozessoren) und die Dateninhaltsinformationen herausgeführt sind, kann mit Hilfe im Handel verfügbarer Tracesoftware (beispielsweise der Firmen IBM Microelectronics, LSI Logic, NEC Electronics, ...) der Programmfluß der n Prozessoren rekonstruiert werden.

Da durch das hier beschriebene Konzept jedoch zusätzlich auch die Dateninhalte zur Verfügung stehen, kann nunmehr jeder rekonstruierten Instruktion auch der dazugehörige Dateninhalt zugeordnet werden. Voraussetzung für die vollständige Durchführung der Zuordnung von Dateninhalten zu Instruktionen ist, daß alle Bussysteme über die die Daten übertragen werden, auch getraced werden. Wird beispielsweise das Bussystem zum Level 1 Cache nicht getraced, so fehlen für die Auswertung die hierüber übertragenen Dateninhalte, so daß es zu Lücken in der Zuordnung von Instruktionen und Dateninhalten kommt.

Dadurch, daß alle Program Counter und Dateninhalte aller Prozessoren in der richtigen zeitlichen Reihenfolge herausgeführt werden, können die Programmflüsse inclusive zugehöriger Dateninhalte aller Prozessoren im korrekten zeitlichen Bezug zueinander rekonstruiert werden.

Das FIFO wird über die mit Anschlüssen des SoC verbundene Schnittstelle TI an ein Aufzeichnungsgerät, das durch ein mit entsprechender Software ausgestattetes Datenverarbeitungsgerät PC (für: Personal Computer) gegeben sein mag, ausgelesen. Die Traceinformationen werden einer Analyseeinrichtung Ana zugeführt, in der eine Analyse des Programmflusses und der Programmdaten erfolgt.

Patentansprüche

1. Verfahren zur Nachverfolgung von Datenzuständen und Instruktionen in einer Anordnung, in der ein Halbleiterchip (SoC) mehrere Prozessoren (1. . . n) aufweist, demzufolge
 - die Daten (Data_1. . . Data_m) und die Instruktionen (ProC_1 bis ProC_n) der mehreren Prozessoren jeweils mit einer ihre jeweilige Quelle bezeichnenden Kennung versehen werden und in der Reihenfolge, wie sie auftreten, in einen als FIFO organisierten Speicher eingeschrieben werden,
 - der Speicher über eine Schnittstelle (TI) auslesbar ist.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die zeitgleich zugehörigen Daten und Instruktionen eines jeweiligen Prozessors in einem jeweiligen Tracetelegramm abgespeichert werden.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß von mehreren Prozessoren die zeitgleich auftretenden Daten in einem Daten-Tracetelegramm und die zeitgleich auftretenden Instruktionen in einem Instruktionen-Tracetelegramm abgespeichert werden.
4. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß die Instruktionen über eine JTAG-Schnittstelle in den Speicher geschrieben werden.
5. Verfahren nach einem der vorstehenden Ansprüche,

4 dadurch gekennzeichnet, daß die einzelnen Prozessoren, deren Daten/Instruktionen nachverfolgt werden, selektierbar sind.

Hierzu 2 Seite(n) Zeichnungen

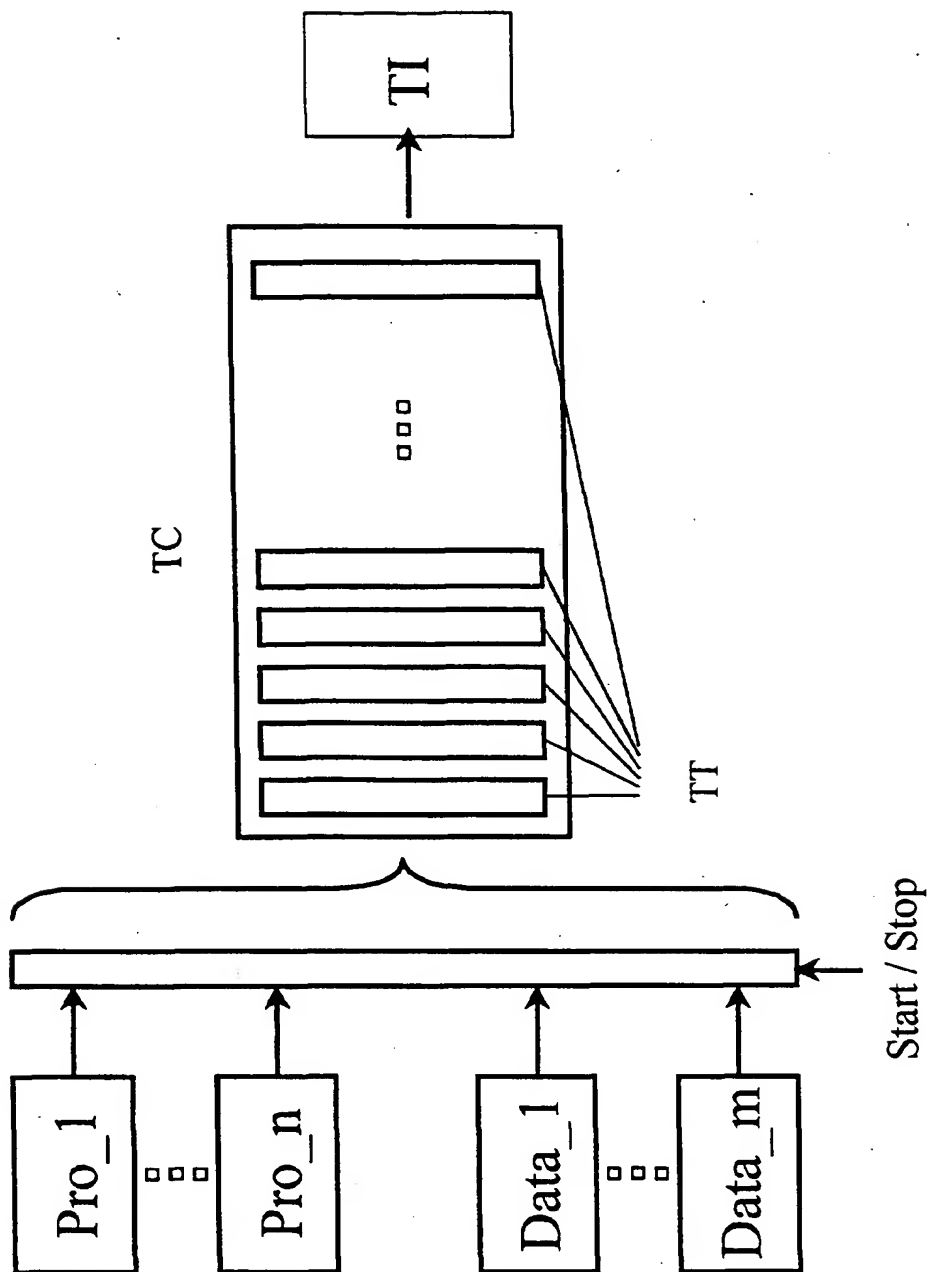


FIG 1

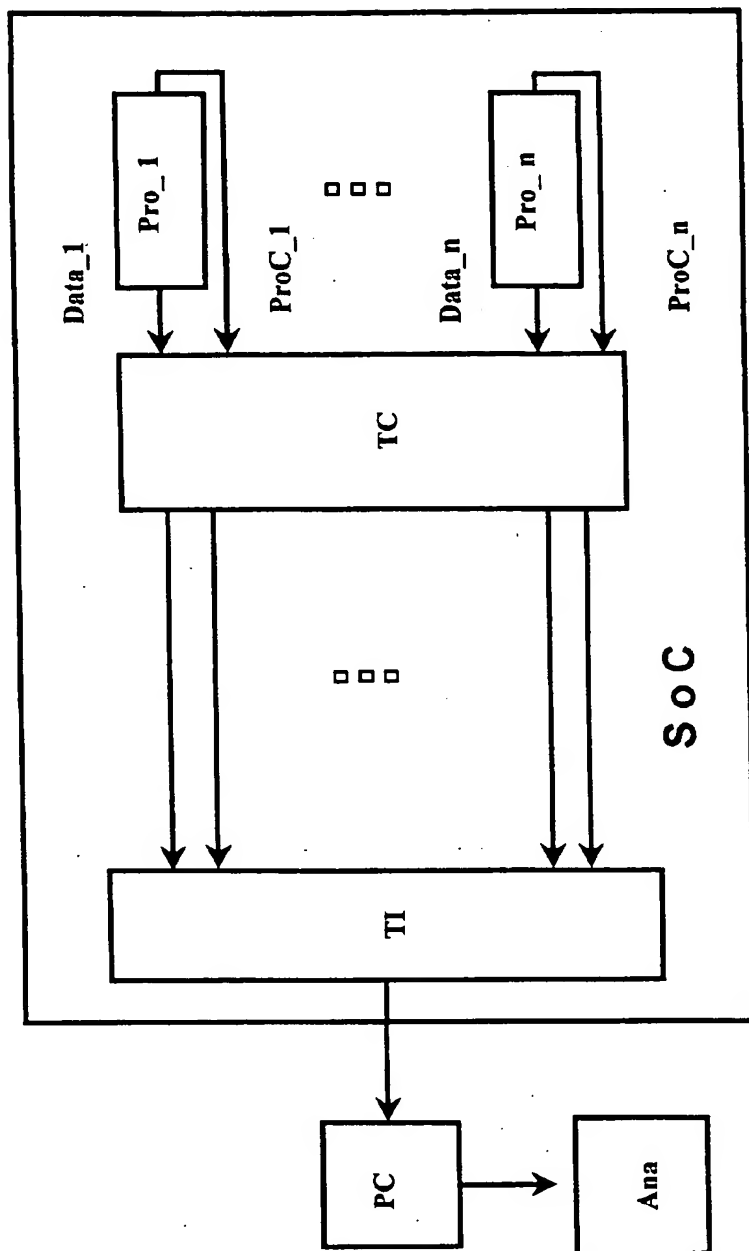


FIG 2